

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-049813
 (43)Date of publication of application : 21.02.1995

(51)Int.CI. G06F 12/10
 G06F 12/08
 G06F 12/08

(21)Application number : 03-041556 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.03.1991 (72)Inventor : YAMAGUCHI SEIJI
 KAKIAGE TORU
 KUROZUMI TOMOHIRO
 YOSHIOKA SHIRO
 HIRAI KOTARO

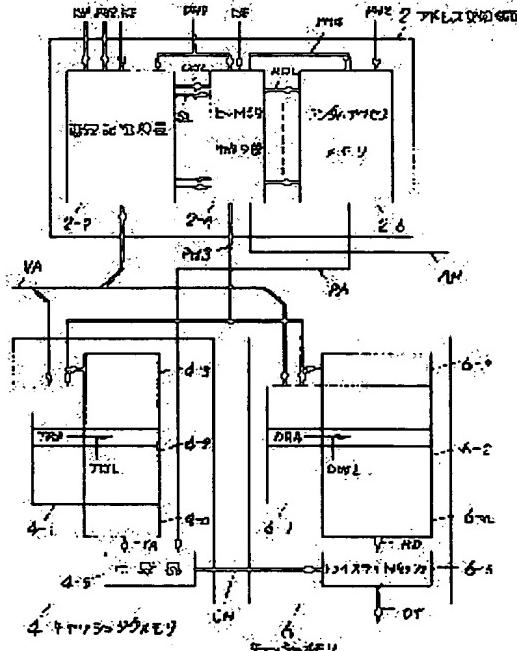
(30)Priority
 Priority number : 02 82426 Priority date : 29.03.1990 Priority country : JP

(54) CONTROL SYSTEM FOR CACHE MEMORY AND CONTROL SYSTEM FOR CACHE TAG MEMORY

(57)Abstract:

PURPOSE: To perform the address converting operation of a microprocessor and access to a cache memory fast in one cycle.

CONSTITUTION: A logical address is inputted to the address converting device composed of an associative memory 2-2 and a RAM 2-6 and the converting operation is performed. The address converting device 2 is provided with a hit signal generating means 2-4. The hit signal generating means 2-4 generates a control signal PH3 corresponding to the converting operation. This control signal PH3 is used to access the tag address TA of a cache tag memory 4 and a data memory 6. The physical address PA converted by the address converting device 2 and the tag address TA of the cache can be read out at the same timing by optimizing the timing of the control signal PH3. Consequently, the time of one cycle can be shortened by processing the address conversion and cache address in parallel and minimizing 'idleness' in operation.



LEGAL STATUS

[Date of request for examination] 24.02.1993

[Date of sending the examiner's decision 07.05.1996
of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number] 3144814

[Date of registration] 05.01.2001

[Number of appeal against examiner's
decision of rejection] 08-08738

[Date of requesting appeal against
examiner's decision of rejection] 06.06.1996

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-49813

(43)公開日 平成7年(1995)2月21日

(51)Int.Cl.⁶

G 0 6 F 12/10
12/08

識別記号 庁内整理番号

A 7608-5B
E 7608-5B
3 1 0 Z 7608-5B

F I

技術表示箇所

審査請求 有 請求項の数7 OL (全10頁)

(21)出願番号 特願平3-41556

(22)出願日 平成3年(1991)3月7日

(31)優先権主張番号 特願平2-82426

(32)優先日 平2(1990)3月29日

(33)優先権主張国 日本 (JP)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 山口 聖司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 曹上 透

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 黒住 知弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小鍛治 明 (外2名)

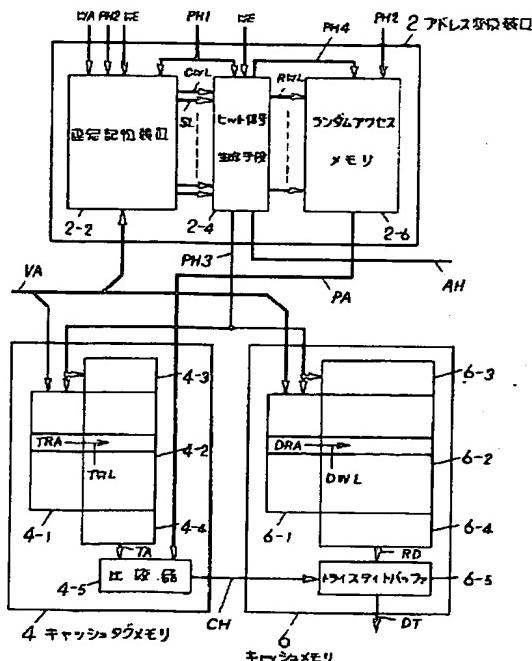
最終頁に続く

(54)【発明の名称】 キャッシュメモリの制御方式およびキャッシュタグメモリの制御方式

(57)【要約】

【目的】 マイクロプロセッサのアドレス変換動作とキャッシュメモリのアクセス動作を1サイクルで高速に実現することを目的とする。

【構成】 連想メモリ2-2とRAM2-6から構成されるアドレス変換装置2に論理アドレスが入力されて変換動作が実行される。アドレス変換装置2にはさらにヒット信号生成手段2-4を設けている。変換動作に応じてヒット信号生成手段2-4では制御信号PH3の生成を行なう。この制御信号PH3を用いてキャッシュタグメモリ4のタグアドレスTAおよびデータメモリ6のアクセスを実行する。制御信号PH3のタイミングを最適化することにより、アドレス変換装置2で変換される物理アドレスPAとキャッシュのタグアドレスTAの読み出しを同じタイミングにすることができる。これによってアドレス変換とキャッシュアクセスを並列で処理して動作上の“遊び”を最小化することにより、1サイクルの時間を小さくすることができる。



1

【特許請求の範囲】

【請求項1】 少なくとも論理アドレスを記憶する連想記憶装置と物理アドレスを記憶するランダムアクセスメモリとアドレス変換のヒット信号を生成するヒット信号生成手段とから構成されるアドレス変換装置で、前記ランダムアクセスメモリの読み出し動作でのワード選択信号に同期した制御信号を前記ヒット信号生成手段で生成して、前記制御信号を用いてキャッシュメモリのタグアドレスの読み出し動作の制御を行なうとともに前記物理アドレスと前記タグアドレスとをほぼ同時刻に読み出しきできるように制御することを特徴とするキャッシュタグメモリの制御方式。

【請求項2】 請求項1において、ワード選択信号および制御信号をクロック信号を遅延させてヒット信号生成手段で生成したことを特徴とするキャッシュタグメモリの制御方式。

【請求項3】 請求項1において、ワード選択信号および制御信号をエントリのヒット信号を用いてヒット信号生成手段で生成したことを特徴とするキャッシュタグメモリの制御方式。

【請求項4】 少なくとも論理アドレスを記憶する連想記憶装置と物理アドレスを記憶するランダムアクセスメモリとアドレス変換のヒット信号を生成するヒット信号生成手段とから構成されるアドレス変換装置で、前記ランダムアクセスメモリの読み出し動作でのワード選択信号に同期した第1および第2の制御信号を前記ヒット信号生成手段で生成して、前記第1の制御信号を用いてキャッシュメモリのタグアドレスの読み出し動作の制御を行なうとともに前記物理アドレスと前記タグアドレスとをほぼ同時刻に読み出しきできるようにして、前記第2の制御信号を用いてキャッシュメモリのデータの読み出し動作の制御を行なうとともに前記物理アドレスと前記タグアドレスが一致している場合に生成されるキャッシュヒット信号とキャッシュメモリのデータとをほぼ同時刻に読み出しきできるように制御することを特徴とするキャッシュメモリの制御方式。

【請求項5】 請求項4において、ワード選択信号および第1および第2の制御信号をクロック信号を遅延させてヒット信号生成手段で生成したことを特徴とするキャッシュメモリの制御方式。

【請求項6】 請求項4において、ワード選択信号および第1および第2の制御信号をエントリのヒット信号を用いてヒット信号生成手段で生成したことを特徴とするキャッシュメモリの制御方式。

【請求項7】 請求項4において、第1および第2の制御信号を同一の制御信号にしたことを特徴とするキャッシュメモリの制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はキャッシュメモリの制御

2

方式およびキャッシュタグメモリの制御方式に関し、論理アドレスを物理アドレスに変換するアドレス変換装置と物理アドレスでアクセスされるキャッシュメモリを有するマイクロプロセッサに利用できるものである。

【0002】

【従来の技術】 システムの高性能化のためには1) マイクロプロセッサそのものの性能向上、2) 並列処理の採用、3) マルチプロセッサ構成の採用、4) 大容量キャッシュメモリの搭載などが行なわれている。とりわけ、マルチプロセッサ構成を採用して、大容量キャッシュメモリを搭載する場合には物理アドレスでアクセスするキャッシュメモリを持つことになる。

【0003】 マイクロプロセッサの中央処理装置(以下、CPUと称する)が論理アドレスを生成してキャッシュメモリをアクセスする場合を考えると、CPUが生成した論理アドレスを物理アドレスに変換するためにアドレス変換装置で1サイクルを費やし、アドレス変換装置で生成された物理アドレスを用いて次の1サイクルでキャッシュメモリをアクセスしてCPUにデータを転送する。この場合、CPUが論理アドレスを生成してからキャッシュメモリをアクセスしてデータあるいは命令を得るのに少なくとも2サイクル以上必要になる。

【0004】

【発明が解決しようとする課題】 マイクロプロセッサの高性能化を考えた場合、物理アドレスでアクセスされるキャッシュメモリのアクセスを1サイクルで行なうことにより高性能化が十分に実現することができる。そのためには、物理アドレスでアクセスされるキャッシュメモリのアクセス動作と論理アドレスを物理アドレスに変換するアドレス変換を同時に1サイクルで並列処理しなければならない。

【0005】 本発明は上記の問題点を解決するため、論理アドレスを物理アドレスへ変換するアドレス変換と物理アドレスによるキャッシュメモリのアクセス動作を1サイクルで並列処理できるようなキャッシュメモリ制御方式およびキャッシュタグメモリの制御方式を提供するものである。

【0006】

【課題を解決するための手段】 本発明は、上記問題点を解決するため、少なくとも論理アドレスを記憶する連想記憶装置と物理アドレスを記憶するランダムアクセスメモリとアドレス変換のヒット信号を生成するヒット信号生成手段とから構成されるアドレス変換装置で、前記ランダムアクセスメモリの読み出し動作でのワード選択信号に同期した制御信号をヒット信号生成手段で生成して、該制御信号を用いてキャッシュメモリのタグアドレスの読み出し動作の制御を行なうとともに前記物理アドレスと前記タグアドレスの読み出しをほぼ同時刻になるような制御を行なうことを特徴とするキャッシュタグメモリの制御方式である。

【0007】また本発明は、少なくとも論理アドレスを記憶する連想記憶装置と物理アドレスを記憶するランダムアクセスメモリから構成されるアドレス変換装置で、前記ランダムアクセスメモリの読み出し動作でのワード選択信号に同期した第1および第2の制御信号をヒット信号生成手段で生成して、前記第1の制御信号を用いてキャッシュメモリのタグアドレスの読み出し動作の制御を行なうとともに前記物理アドレスと前記タグアドレスの読み出しをほぼ同時刻になるようにして、前記第2の制御信号を用いてキャッシュメモリのデータの読み出し動作の制御を行なうとともに前記物理アドレスと前記タグアドレスが一致している場合に生成されるキャッシュヒット信号とキャッシュメモリのデータの読み出しをほぼ同時刻になるような制御を行なうことを特徴とするキャッシュメモリの制御方式である。

【0008】

【作用】上記方式により、アドレス変換装置およびキャッシュがともにヒットした場合に、1サイクルで論理アドレスを物理アドレスに変換し、アドレス変換された物理アドレスでキャッシュメモリおよびキャッシュタグメモリのアクセスを行ない、キャッシュメモリのデータをCPU等に転送することができるのでマイクロプロセッサとしての高性能化が実現できる。

【0009】

【実施例】図1は本発明の構成を示すブロック図である。図1において、2は論理アドレスを物理アドレスに変換するアドレス変換装置、4はタグアドレスを記憶するキャッシュタグメモリ、6はデータを記憶するキャッシュメモリである。

【0010】クロックPH1およびPH2に同期して動作するアドレス変換装置2は論理アドレスの記憶テーブルと物理アドレスの記憶テーブルを持っており、クロックPH1に同期して入力される論理アドレスVAに対して論理アドレスの記憶テーブルを各エントリ単位で比較動作を行ない一致しているエントリが存在するかどうかを調べている。そのために、アドレス変換装置2は論理アドレスの記憶テーブルを連想記憶装置2-2を用いて構成し、物理アドレスの記憶テーブルをスタティック型ランダムアクセスメモリ2-6を用いて構成している。連想記憶装置2-2は各エントリ単位での比較結果をもとにヒットしているかどうかを判定するためのヒット信号生成手段2-4を設けている。ヒット信号生成手段2-4ではアドレス変換装置2がヒットしたことを示すヒット信号AHを生成して出力している。

【0011】アドレス変換装置2がヒットしている場合(ヒット信号AH="H")には、論理アドレスVAに対応する物理アドレスPAを出力するために物理アドレスの記憶テーブルであるスタティック型ランダムアクセスメモリ2-6をアクセスする。スタティック型ランダムアクセスメモリ2-6をアクセスするために制御信号

PH4とヒットしたエンティリに対応するワード線RWLをヒット信号生成手段2-4で生成している。また、ヒット信号生成手段2-4ではワード線RWLに同期した少なくとも1個以上の制御信号PH3を生成してキャッシュタグメモリ4あるいはキャッシュメモリ6に転送してそれぞれのアクセス動作の制御に使用している。

【0012】通常、アドレス変換装置2では論理アドレスVAの上位ビットを物理アドレスPAの上位ビットに変換している。変換されない論理アドレスVAの下位ビットはそのまま物理アドレスPAの下位ビットとして取り扱われる。変換された物理アドレスPAの上位ビットはキャッシュタグメモリ4に転送される。変換されない論理アドレスVAの下位ビットで選択すべき行アドレスTRAをあらかじめ確定しておいてアドレス変換装置2で生成された制御信号PH3を用いてワード線TWLを駆動してタグアドレスTAと変換された物理アドレスPAとが比較器4-5で比較される。

【0013】同様にキャッシュメモリ6においても、変換されない論理アドレスVAの下位ビットで選択すべき行アドレスDRAを確定しておいてアドレス変換装置2で生成された制御信号PH3を用いてワード線DWLを駆動してデータRDの読み出しを行ない、タグアドレスTAと変換された物理アドレスPAとの比較結果が一致していればキャッシュヒット信号CHが生成されてキャッシュメモリ6のデータDTをトライステートバッファ6-5を介してCPU等へ転送する。

【0014】図2は図1の実施例の動作波形図である。クロックPH1に同期してCPUで生成された論理アドレスVAがアドレス変換装置2に入力される。アドレス変換装置2の内部でクロックPH1を遅延させて生成された制御信号を用いてアドレス変換動作が開始される。アドレス変換がヒットすれば物理アドレスPAを読み出すためのワード線RWLが生成される。同時にアドレス変換装置2がヒットしたことを知らせるヒット信号AHを基準にキャッシュタグメモリ4およびキャッシュメモリ6を制御するための制御信号PH3を生成している。ヒット信号生成手段2-4では、内部で生成されるエントリヒット信号AHと同じタイミングで制御信号PH4およびワード線RWLを生成しスタティック型ランダムアクセスメモリ2-6をアクセスして物理アドレスPAの読み出しを行なっている。

【0015】一方、変換されない下位の論理アドレスを用いてキャッシュタグメモリ4およびキャッシュメモリ6では行デコーダ4-1、6-1で行アドレスTRAおよびDRAの選択を行なう。行アドレスTRAおよびDRAはアドレス変換装置2で生成された制御信号PH3の立ち上がりまでに確定しなければならない。制御信号PH3によりキャッシュタグメモリ4およびキャッシュメモリ6のワード線TWLおよびDWLが選択されてタ

5

アドレスTAおよびキャッシュデータRDが読み出される。アドレス変換装置2でも同じタイミングで物理アドレスPAが読み出される。タグアドレスTAと物理アドレスPAがほぼ同じタイミングで読み出されて比較器4-5で比較され、一致した場合にキャッシュヒット信号CHが生成される。キャッシュヒット信号CHによってキャッシュメモリ6で予め読み出されていたキャッシュデータRDがデータDTとして読み出されてCPU等へデータの転送を行なっている。これによって、1サイクルでアドレス変換と変換された物理アドレスによるキャッシュメモリのアクセスが実行できる。

【0016】ここで、変換された物理アドレスPAとキャッシュのタグアドレスTAがほぼ同じタイミングで比較器4-5に入力されるため、一方の比較データが到着するのを待っている時間がほとんどゼロにできるので高速化が実現できる。

【0017】図3は一実施例としてアドレス変換装置の具体的なブロック構成図である。図3において2-2は連想記憶装置、2-4はヒット信号生成手段、2-6はスタティック型ランダムアクセスメモリである。

【0018】連想記憶装置2-2はデコーダ10-iとパッファ12と連想記憶セルアレイ14-iとパッファ16から構成されている。ヒット信号生成手段2-4はエントリのヒット信号およびワード線生成回路18-iと制御信号発生回路20から構成されている。スタティック型ランダムアクセスメモリ2-6はメモリセルアレイ22-iと読み出し/書き込み回路24から構成されている。

【0019】最初に書き込み動作について説明する。書き込み動作はクロックPH1に同期して書き込み制御信号WEと論理アドレスVAとどのエントリに書き込むかを指定する書き込みアドレスWAが連想記憶装置2-2に入力される。書き込みアドレスWAによってデコーダ10-iで選択されたエントリ(連想記憶装置2-2のワード線CWL_iにより選択された連想記憶セル14-i)にクロックPH2に同期して論理アドレスVAが書き込まれる。同様にしてスタティック型ランダムアクセスメモリ2-6でも同一のエントリ(ワード線RWL_iにより選択されたメモリセル22-i)にクロックPH2に同期して物理アドレスPAが書き込まれる。

【0020】次にアドレス変換動作について説明する。アドレス変換動作ではクロックPH1に同期して論理アドレスVAが連想記憶装置2-2に入力される。ヒット信号生成手段2-4は物理アドレスPAを読み出すための制御信号PH4とキャッシュタグメモリ4およびキャッシュメモリ6のアクセスの制御するために制御信号PH3を生成しており、アドレス変換がヒットした場合は、ヒット信号AHを生成する。

【0021】アドレス変換がミスした場合(ヒット信号AH="L")は例外処理を発生させてアドレス変換に

10 10 20 30 40 50

6

必要なエントリの情報を取り出して前述の書き込み動作によってアドレス変換装置2のエントリの置換を行なったのち、再度アドレス変換を実行する。

【0022】概略の動作は上記の通りであるが、具体的な回路構成図に従って各回路図の動作の説明を付け加える。図4(a)は図3のアドレス変換装置に用いられている連想記憶装置2-2のデコーダ部分の具体的な回路構成図である。図4(a)において10-iは1エントリ分のデコーダ、12はデコーダの制御信号のためのパッファである。デコーダ10-iは書き込み動作(WE="H")時にのみ使用する。書き込みアドレスWAによりデコードされて一つのエントリが選択されているがWE="H"の条件でPH2の立ち上がりに同期してワード線CWL_iが生成される。WE="L"ではワード線CWL_iは常に" L"である。

【0023】図4(b)は図3のアドレス変換装置に用いられている連想記憶装置2-2の連想記憶セル部分の具体的な回路構成図である。図4(b)において14-iは1エントリ分の連想記憶セルアレイ部、16は各エントリが比較動作および書き込み動作を行なうためのパッファである。パッファ16では論理アドレスVAは比較動作および書き込み動作で連想記憶セルのビット線にVAB, NVABを発生している。連想記憶セルのワード線CWL_iが" H"の場合は書き込み動作となり、" L"の場合は比較動作となる。センス線SL_iは連想記憶セルに記憶されているデータと論理アドレスVAとを1ビット毎に比較している。エントリのすべてのビットが一致している場合にはセンス線SL_iはプリチャージ状態である" H"を保持する。エントリのなかの1ビットでも一致していない場合にはセンス線SL_iはプリチャージ状態から不一致の連想記憶セルのディスチャージ線DL_iが導通状態となり" L"に変化する。通常、クロックPH5, NPH5により比較動作期間(PH5="H")とプリチャージ動作期間(NPH5="L")とに1サイクルを時分割している。クロックPH5, NPH5はパッファ16でクロックPH1を遅延させて生成している。

【0024】図5は図3のアドレス変換装置に用いられているヒット信号生成手段2-4の具体的な回路構成を示している。各エントリ毎にアドレス変換のヒット信号AHを生成するための回路18a-iと物理アドレスを読み出すためのワード線RWL_iを生成するための回路18b-iからなり、それを制御するための制御信号PH3, PH6, PH7などを生成する制御信号発生回路20を含んでいる。制御信号発生回路20ではヒットしているエントリが存在しているかどうかを調べるためにクロックPH6を生成してEH信号線のプリチャージ動作とディスチャージ動作を制御している。ヒットしているエントリが存在している場合はEH_i="L"となつており、クロックPH6="L"でEH信号線をプリチ

ヤージ状態から" L" にする。これによって、アドレス変換のヒット信号AHは" H" となる。

【0025】さらに、制御信号発生回路20ではアドレス変換がヒットしたときに物理アドレスの記憶テーブルの読み出しを行なうためにクロックPH4およびクロックPH7を生成している。クロックPH4はスタティック型ランダムアクセスメモリ2-6のビット線のプリチャージ動作の制御を行ない、クロックPH7はスタティック型ランダムアクセスメモリ2-6のワード線RWL1の制御を行なう。クロックPH4およびクロックPH7はクロックPH1を遅延させて生成しているがエントリヒット信号EH1とほぼ同程度の遅延量にすることができる。これによって、エントリヒット信号EH1の生成から直ちにワード線RWL1を立ち上げることができる。

【0026】一方、書き込み動作ではWE="H" となるのでワード線CWL1の立ち上がりでワード線RWL1を立ち上げることができる。また、WE="H" とクロックPH2とで書き込みデータをビット線に転送するための制御信号RWEを生成している。

【0027】図6は物理アドレスの記憶テーブルを構成するスタティック型ランダムアクセスメモリの具体的な回路構成を示している。22-1はメモリセルアレイ、24はビット線のプリチャージ回路(24-1)および読み出し/書き込み回路(24-2)と出力ラッチ(24-3)を示している。

【0028】書き込み動作では書き込まれる物理アドレスWPAは書き込み制御信号RWEにより書き込み回路24-2を通してビット線PAB, NPABに転送される。一方、ワード線RWL1がクロックPH2に同期して立ち上がりビット線PAB, NPABのデータがメモリセル22-1に書き込まれる。読み出し動作ではビット線PAB, NPABが制御信号PH4="L" でプリチャージ状態になる。制御信号PH4及びワード線RWL1が立ち上がるとメモリセル22-1に記憶されているデータがビット線PAB, NPABに転送されて読み出し回路24-2を通過してクロックPH2で出力ラッチ24-3に取り込まれる。取り込まれたラッチ24-3の出力を変換された物理アドレスPAとしてキャッシュメモリ4の比較器4-5に転送する。図3～図6ではアドレス変換装置の一実施例を示しただけであり、他に同等の機能を有する回路構成は存在するので本発明では特に限定はしない。

【0029】図7は図3～図6のアドレス変換装置でのアドレス変換動作における主要な信号の動作波形図を示している。クロックPH1に同期して論理アドレスVAが入力されて制御信号PH5で連想記憶セルアレイ14-iで比較動作が実行され、それに応じて各エントリのセンス線SLiが変化する。センス線SLiと制御信号PH6を用いてアドレス変換がヒットしているかどうか

を信号EHに出力する。制御信号発生回路20では信号EHをラッチしてヒット信号AHを生成している。さらに、ヒットしている場合には、ヒットしているエントリを記憶しておくために制御信号ENでラッチしてからスタティック型ランダムアクセスメモリをアクセスするために制御信号PH4, PH7およびワード線RWL1を生成している。これによって物理アドレスPAが読み出される。

【0030】10 また、キャッシングのタグアドレスTAが物理アドレスPAの読み出しと同じタイミングになるように制御信号PH3を生成している。

【0031】図8は一実施例としてキャッシングタグメモリ4の具体的な回路構成図である。通常、キャッシングタグメモリ4はスタティック型ランダムアクセスメモリと比較器で構成されている。図8において、4-1は行デコーダ、4-2はメモリセルアレイ、4-3はビット線B, NBのプリチャージ回路、4-4は読み出し/書き込み回路、4-5はタグアドレスTAと物理アドレスPAを比較する比較器、4-6はインバータバッファ、4-7はバッファである。

【0032】アドレス変換装置2で生成された制御信号PH3はインバータバッファ4-6で極性反転されてプリチャージ回路4-3に入力されてビット線B, NBのプリチャージ信号に使用される。一方、バッファ4-7を介して行デコーダ4-1に入力されて変換されない論理アドレスVAにより選択された行アドレスTRAのワード線TWLを駆動する制御信号に使用される。

【0033】30 これによってタグアドレスTAの読み出される時間とアドレス変換装置2で生成される物理アドレスPAがほぼ同じ時間となり比較器4-5で比較動作が行なわれキャッシングタグメモリ4がヒットしたかどうかが判定され、ヒットしている場合にはキャッシングヒット信号CHが生成されてキャッシングメモリ6に転送される。

【0034】この時に比較器4-5ではタグアドレスTAと物理アドレスPAがほぼ同じ時間に転送されてくるので比較データの待ち時間をほとんどゼロにすることができるので高速にキャッシングのヒット信号CHを得ることができる。

【0035】40 図9は一実施例としてキャッシングメモリ6の具体的な回路構成図である。通常、キャッシングメモリ6はスタティック型ランダムアクセスメモリとトライステイトバッファで構成される。図9において、6-1は行デコーダ、6-2はメモリセルアレイ、6-3はビット線B, NBのプリチャージ回路、6-4は読み出し/書き込み回路、6-5はトライステイトバッファ、6-6はインバータバッファ、6-7はバッファである。

【0036】アドレス変換装置2で生成された制御信号PH3はインバータバッファ6-6で極性反転されてプリチャージ回路6-3に入力されてビット線B, NBの

9

プリチャージ信号に使用される。一方、バッファ6-7を介して行デコーダ6-1に入力されて変換されない論理アドレスVAによって選択された行アドレスDRAのワード線DWLを駆動する制御信号に使用される。キャッシュタグメモリ4がヒットしたときにキャッシュヒット信号CHを生成してトライステイトバッファ6-5をイネーブル状態にして記憶しているキャッシュメモリのデータDTを出力する。

【0037】本発明の実施例ではキャッシュタグメモリおよびキャッシュメモリのアクセス動作を同一の制御信号PH3で制御する場合について述べたが、アドレス変換によって読み出される物理アドレスPAと同一のタイミングでキャッシュタグメモリ4のタグアドレスTAの読み出しができれば、必ずしも同一の制御信号でなくても同等の効果が得られることは明らかである。

【0038】また、本実施例では、キャッシュメモリのアクセスタイムtMがキャッシュタグメモリのアクセスタイムtTと物理アドレスとの比較時間tCの和に比べて遅い場合(tT+tC < tM)、キャッシュメモリのアクセス動作をキャッシュタグメモリよりも少なくとも時間(tM-tT-tC)だけ早く開始できるようにアドレス変換装置で制御信号を生成させることで実現しようとするものである。よって、キャッシュメモリのアクセスタイムtMがキャッシュタグメモリのアクセスタイムtTと物理アドレスとの比較時間tCの和に比べて遅い場合は、キャッシュヒット信号CHの生成されるタイミングでキャッシュメモリのデータが読み出せるようにキャッシュメモリのアクセス制御信号を制御信号PH3'に比べ早くアドレス変換装置で生成する必要がある。

【0039】図10は、キャッシュメモリのアクセスタイムtMがキャッシュタグメモリのアクセスタイムtTと物理アドレスとの比較時間tCの和に比べて遅い場合(tT+tC < tM)の図3のアドレス変換装置に用いられているヒット信号生成手段2-4の具体的な回路構成を示している。キャッシュメモリのアクセス制御信号PH3'を制御信号PH3に比べてtM-tT-tCだけ早く生成している。

【0040】図11は図10を用いた実施例の主要部分の動作波形図である。クロック信号PH1から遅延させてキャッシュタグメモリの制御信号PH3とキャッシュメモリのアクセス制御信号PH3'を生成している。キャッシュタグメモリでは制御信号PH3からタグアドレスTAが生成され、比較器で物理アドレスPAと比較され、キャッシュヒット信号CHが生成される。ここでPH3の立ち上がりからTAの出力までの時間がtT、TAの出力からCHの立ち上がりまでの時間がtCである。一方、キャッシュメモリでは制御信号PH3'からキャッシュデータRDが読み出される。ここでPH3'の立ち上がりからRDの出力までの時間がtMである。キャッシュメモリのアクセスタイムtMはキャッシュタ

10

グメモリのアクセスタイムtTと物理アドレスとの比較時間tCの和に比べて遅い(tT+tC < tM)が、キャッシュメモリの制御信号PH3'はキャッシュタグメモリの制御信号PH3に比べてtM-tT-tCだけ早く生成されるので、キャッシュデータRDとキャッシュヒット信号CHとは同時に出力される。

【0041】一方、キャッシュメモリのアクセスタイムtMがキャッシュタグメモリのアクセスタイムtTと物理アドレスとの比較時間tCの和に比べて速い場合(tT+tC > tM)、キャッシュタグメモリのアクセスタイムtTとアドレスの変換時間tAが同じタイミングになるようにアドレス変換装置で制御信号を生成させることで実現しようとするものである。即ち、この場合は同一の制御信号PH3をキャッシュタグメモリおよびキャッシュメモリのアクセスの制御に使用できる。よって、キャッシュメモリのアクセスタイムtMがキャッシュタグメモリのアクセスタイムtT+tCに比べて速い場合はアドレス変換装置のエントリヒット信号の生成されるタイミングでキャッシュタグメモリのアクセス制御信号をアドレス変換装置で生成することになる。

【0042】また、上記の実施例ではアドレス変換装置のヒット信号を生成するための制御信号(クロック)を遅延させてキャッシュメモリおよびキャッシュタグメモリのアクセス制御信号を生成している場合を示したが、アドレス変換装置で用いられる各種の制御信号、例えばヒット信号を遅延させてアクセス制御信号を生成させた場合でも同等の効果が得られることは明らかである。いずれの場合にても物理アドレスの生成とタグアドレスの読み出しを同時にしない、比較器におけるデータの待ち時間をゼロにすると共にキャッシュのヒット信号の生成でキャッシュメモリのデータを転送するようにしている。

【0043】

【発明の効果】本発明によれば、上述のようにCPUで生成した論理アドレスを物理アドレスに変換するアドレス変換装置で生成された制御信号を用いて物理アドレスでアクセスされるキャッシュメモリおよびキャッシュタグメモリのアクセス動作(読み出し動作および書き込み動作)の制御を行なうことでキャッシュメモリのヒット信号の生成とデータの読み出しの高速化が実現できるためアドレス変換と物理キャッシュメモリのアクセス動作を並行して1サイクルで実現することが可能となる。これはマイクロプロセッサがメモリアクセス命令(ロード命令およびストア命令)を1サイクルで実現できることを意味しており、マイクロプロセッサの性能向上に大いに寄与することができる。

【図面の簡単な説明】

【図1】本発明の構成を示すブロック図である。

【図2】図1の実施例の主要部分の動作波形図である。

【図3】図1の一実施例のアドレス変換装置の具体的な

11

プロック構成図である。

【図4】図3のアドレス変換装置に用いられている連想記憶装置のデコーダ部分および連想記憶セル部分の具体的な回路構成図である。

【図5】図3のアドレス変換装置に用いられているヒット信号生成手段の具体的な回路構成図である。

【図6】図3のアドレス変換装置に用いられている物理アドレスの記憶テーブルを構成するスタティック型ランダムアクセスメモリの具体的な回路構成図である。

【図7】図3～図6の主要部分の動作波形図である。

【図8】図1の一実施例のキャッシュタグメモリの具体的な回路構成図である。

【図9】図1の一実施例のキャッシュメモリの具体的な回路構成図である。

【図10】図3のアドレス変換装置に用いられているヒ

12

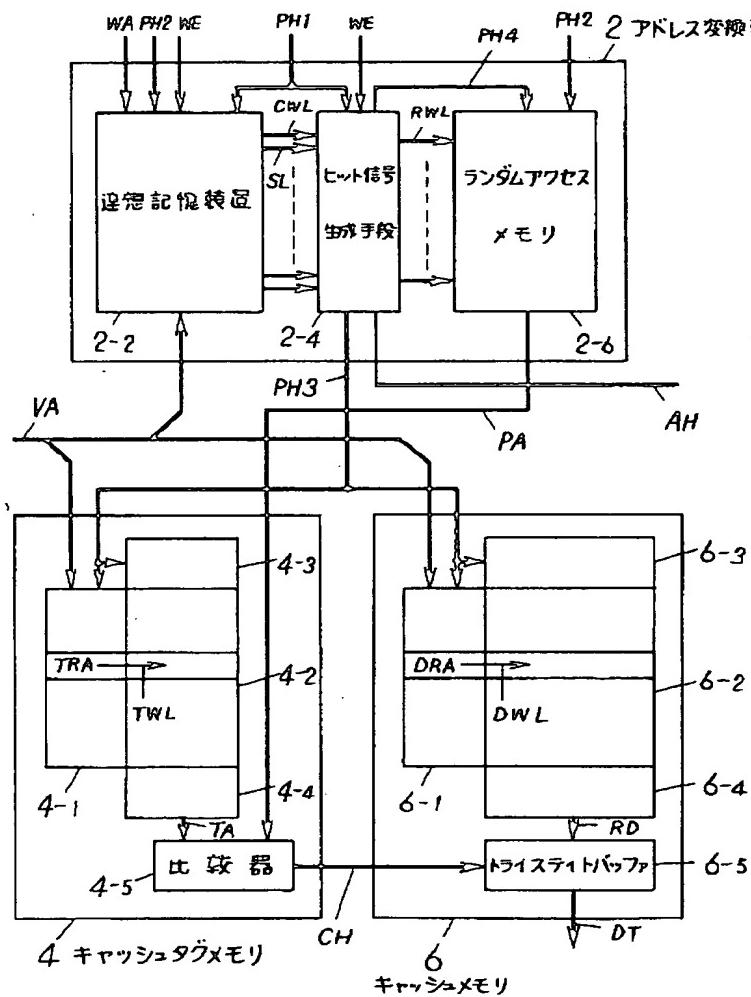
ット信号生成手段の具体的な回路構成図である。

【図11】図10を用いた実施例の主要部分の動作波形図である。

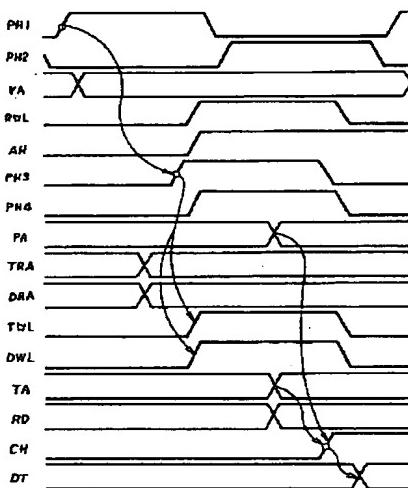
【符号の説明】

- 2 アドレス変換装置
- 4 キャッシュタグメモリ
- 6 キャッシュメモリ
- 10 デコーダ
- 12 バッファ
- 14 連想記憶セルアレイ
- 16 バッファ
- 18 ヒット信号生成回路
- 20 制御信号発生回路
- 22 メモリセルアレイ
- 24 読み出し／書き込み回路

【図1】

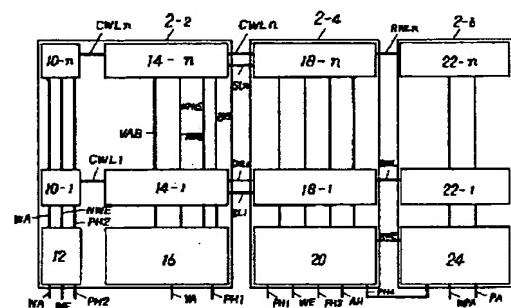


【図2】

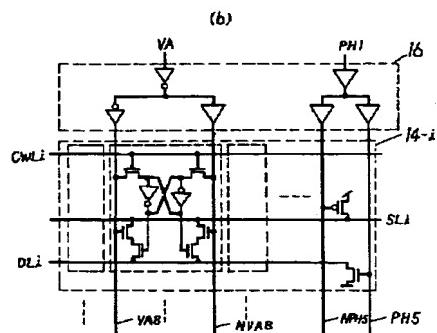
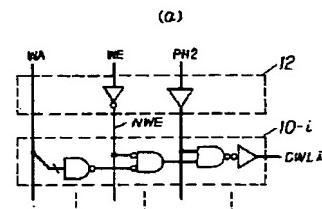


【図3】

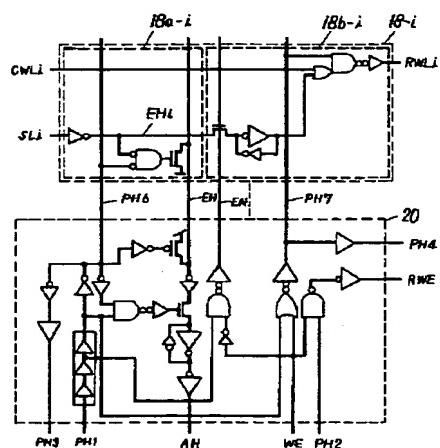
10-i --- デコード
 12,16 --- バッファ
 14-i --- 遅延記憶セルアレイ部
 16-i --- ヒット信号およびワード線
 生成回路
 20 --- 制御信号発生回路
 22-i --- Xモリセルアレイ
 24 --- 書き出し/書き込み回路



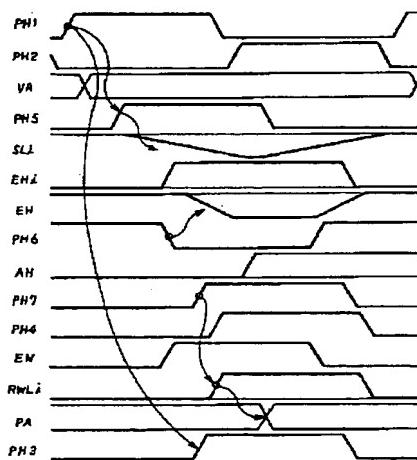
【図4】



【図5】

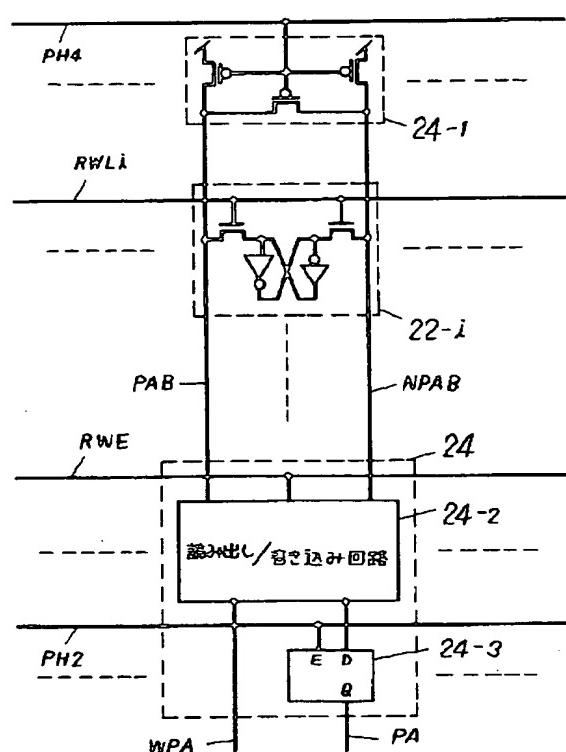


【図7】

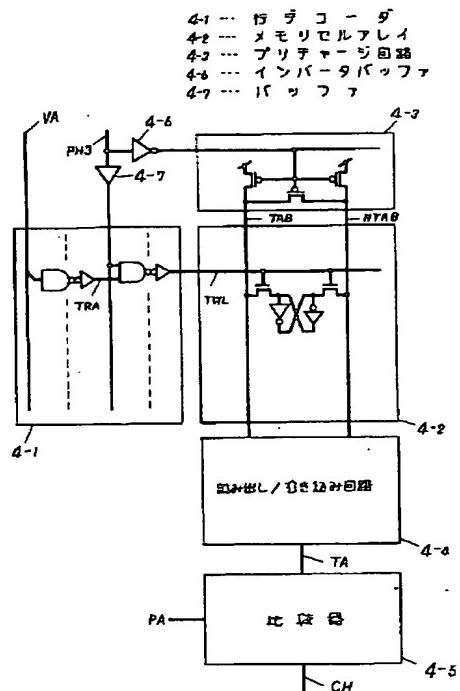


【図6】

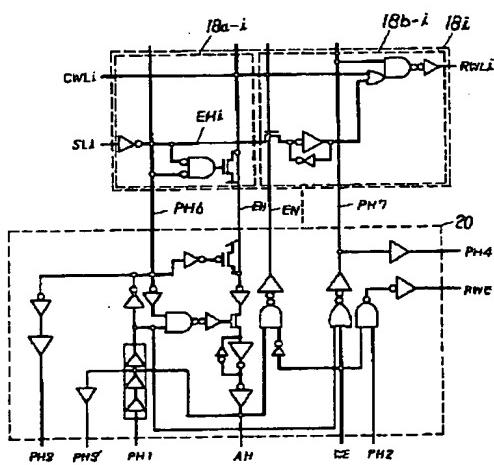
24-1 --- プリチャージ回路
24-3 --- 出力ラッシュ



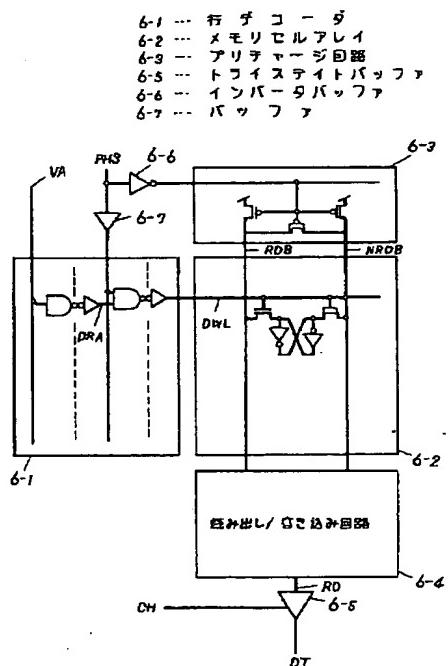
【図8】



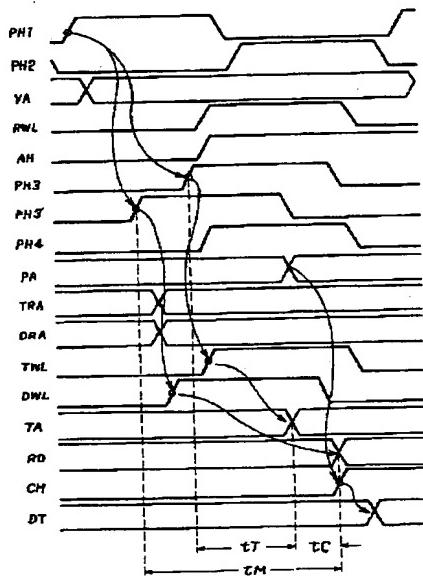
【図10】



【図9】



【図11】



フロントページの続き

(72)発明者 吉岡 志郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 平井 孝太郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内